

### 3.4nm 超薄 SiO<sub>2</sub> 栅介质的特性

许晓燕,谭静荣,高文钰,黄如,田大宇,张兴

(北京大学微电子学研究所,北京 100871)

**摘要:** 用 LOCOS 工艺制备出栅介质厚度为 3.4nm 的 MOS 电容样品,通过对样品进行  $I-V$  特性和恒流应力下  $V-t$  特性的测试,分析用氮气稀释氧化法制备的栅介质的性能,同时考察了硼扩散对栅介质性能的影响.实验结果表明,制备出的 3.4nm SiO<sub>2</sub> 栅介质的平均击穿场强为 16.7MV/cm,在恒流应力下发生软击穿,平均击穿电荷为 2.7C/cm<sup>2</sup>.栅介质厚度相同的情况下,P<sup>+</sup>栅样品的击穿场强和软击穿电荷都低于 N<sup>+</sup>栅样品.

**关键词:** 超薄栅介质;软击穿;硼扩散

**中图分类号:** TN331.1 **文献标识码:** A **文章编号:** 0372-2112 (2002) 02-0269-02

#### Electrical Characteristics of 3.4nm Gate Oxide

XU Xiao-yan, TAN Jing-rong, GAO Wen-yu, HUANG Ru, TIAN Da-yu, ZHANG Xing

(Institute of Microelectronics, Peking University, Beijing 100871, China)

**Abstract:** MOS capacitors with 3.4nm gate oxide layer were manufactured in this experiment. By measuring current voltage characteristic and evolution of the gate voltage during constant current stress of the capacitors, the electrical characteristics of the gate oxide have been studied. In addition, the effect of boron penetration on gate oxide was investigated. The experimental results showed that the average breakdown field of the 3.4nm gate oxide was 16.7MV/cm. Under constant current stress, soft breakdown occurred and the average charge-to-breakdown was 2.7C/cm<sup>2</sup>. For p<sup>+</sup> polysilicon gate MOS capacitor, breakdown field and charge-to-breakdown of gate oxide were all decreased because of boron penetration.

**Key words:** ultra-thin gate oxide; soft breakdown; boron penetration

## 1 引言

MOSFET 的栅绝缘介质层要求具有缺陷和缺陷密度低、漏电流小、抗击穿强度和稳定性好,与 Si 具有良好的界面特性和低的界面态密度等. SiO<sub>2</sub> 是性能非常理想的 MOSFET 栅绝缘介质.随着器件特征尺寸的缩小,作为栅绝缘介质的 SiO<sub>2</sub> 的厚度也要逐步减小以满足对阈值电压及短沟道效应的控制.根据 SIA 的 Roadmap,器件特征尺寸小于 0.13μm 的工艺中,相匹配的 SiO<sub>2</sub> 栅介质厚度将小于 3nm.因此对超薄 (< 5nm) SiO<sub>2</sub> 栅绝缘介质的研究是近年来微电子技术的一个热点,国外已有栅介质厚度为 9A 的 NMOSFET 的报道<sup>[1]</sup>,国内中科院微电子中心也制备出 3.6nm 的栅介质和栅介质厚度为 4.5nm,沟道长度为 0.16μm 的 NMOSFET<sup>[2]</sup>.本文报道了用氮气稀释氧化法制备出 3.4nm SiO<sub>2</sub> 栅介质,对其  $I-V$  特性、击穿场强、恒流应力下的  $V-t$  特性和击穿电荷进行了测试与分析,考察了硼扩散对栅介质性能的影响.

## 2 实验

初始材料为 100mm(100)晶向,电阻率为 5 - 10 Ω·cm 的 P 型硅片和电阻率为 4 - 7 Ω·cm 的 N 型硅片.采用 LOCOS 技术制备出 n<sup>+</sup>polySi/SiO<sub>2</sub>/P 型 Si 和 p<sup>+</sup>polySi/SiO<sub>2</sub>/N 型 Si 结构的 MOS 电容样品.制备高性能的超薄栅介质,要求栅氧化前的清洗把硅片表面的离子、颗粒沾污减到最少,实验采用的清

洗方法是 SPM(H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>)清洗,栅氧化条件是 775 °C 下氮气稀释干氧化(O<sub>2</sub>/N<sub>2</sub> = 1/9) 10 分钟,然后同温度下氮气退火 20 分钟.栅氧化后,LPCVD4000A 的多晶硅,再对多晶硅进行注入掺杂,注 P<sup>+</sup>和注 B<sup>+</sup>的条件分别为 85keV、5E15 和 30keV、5E15.掺杂后在 1050 °C 下,氮气气氛中激活退火 20 秒.然后溅射 0.8μm 的铝,最后通过光刻、刻蚀得到不同面积的电容.

使用 HP4156B 半导体综合参数分析仪对样品的  $I-V$  特性、击穿场强、恒流应力下的  $V-t$  特性和击穿电荷进行测试.

## 3 结果与讨论

### 3.1 I-V 特性测试

n<sup>+</sup>polySi/SiO<sub>2</sub>/P 型 Si 结构的 MOS 电容样品负栅压条件下的  $I-V$  特性如图 1 所示.

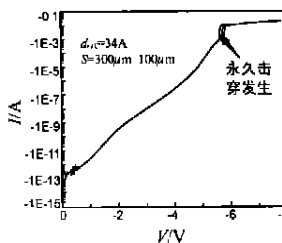


图1 泄漏电流随栅压的变化关系

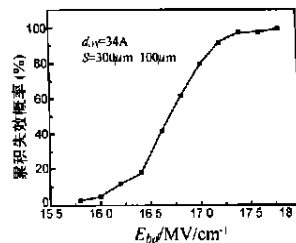


图2 累积失效概率同击穿场强的关系

收稿日期:2001-02-16;修回日期:2001-06-06

基金项目:国家自然科学基金(No. 69976001);国家重点基础研究专项基金(No. 20000365)

由图中  $I-V$  曲线可以看出,在 5~6V 之间电流突然增大,所测 MOS 结构中的超薄栅氧化层发生永久击穿,对应电流突变的电压即为击穿电压.测试了 50 个 3.4nm 超薄栅介质样品的  $I-V$  特性,测试电容面积为  $300\mu\text{m} \times 100\mu\text{m}$ ,根据击穿电压算出相应的击穿场强,得到累积失效概率——击穿场强关系图,如图 2 所示.由图可以看出测试过程中,没有出现低于  $8\text{MV}/\text{cm}$  的击穿,这意味着在清洗和氧化工艺中微粒和金属离子污染得到较好控制,氧化时产生的针孔密度也较小.累积失效概率为 50% 时所对应的击穿场强为  $16.7\text{MV}/\text{cm}$ ,说明所制备的 3.4nm 氧化膜具有很好的耐压特性.

### 3.2 恒流应力测试

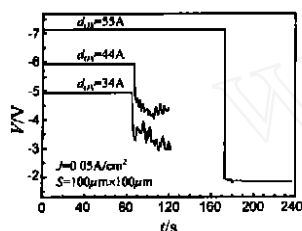


图 3 恒流应力下栅压  
随时间的变化

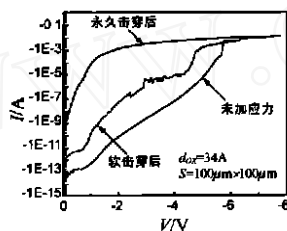


图 4 软击穿和永久击穿  
后  $I-V$  特性比较

在恒流应力下,测试  $n^+$  polySi/  $\text{SiO}_2$ / P 型 Si 结构的  $V-t$  特性,实验结果如图 3 所示,为了对比,除了 34A 样品的特性外,图中也给出了同样测试条件下,44A 和 55A 栅介质样品的  $V-t$  曲线.可以看出同样的应力条件下,55A 的样品发生硬击穿 (hard breakdown),表现为恒流一定时间后,电压突然大幅度下降到一定值.而 44A 和 34A 样品则发生软击穿 (soft breakdown),表现为恒流一定时间后,电压小幅度下降,然后在一定范围内不规则波动.可以认为硬击穿的发生是经过如下过程:首先在电场应力的作用下, $\text{Si}/\text{SiO}_2$  体系内有微缺陷产生,包括  $\text{Si}/\text{SiO}_2$  界面陷阱、中性电子陷阱和异常的正电荷的产生等.当产生的微缺陷在局部达到临界值,就会在栅氧化层中形成导电通道,形成导电通道的局部区域产生焦耳热导致击穿点的横向倍增,从而使栅介质发生永久击穿.软击穿则是栅介质局部处的电子陷阱增加到一定程度,在栅介质内形成电子隧穿通道,但是没有发生由局部热损伤引起的击穿点的横向倍增,是一种非永久性击穿.超薄栅介质 ( $< 5\text{nm}$ ) 在恒流应力作用下,易发生软击穿.这是因为栅氧化层比较薄,恒流应力下的栅压比较低,从而使功率比较低,不易产生热效应<sup>[3]</sup>.

软击穿虽然不会引起器件完全失效,但由图 4 可以看出,软击穿会引起漏电流的增加,从而导致集成电路功耗增加.并且软击穿会使器件工作时产生噪声<sup>[4]</sup>,进而会影响电路的性能.对厚度为 34A 和 44A 的栅介质分别作了 30 个恒流应力实验,测试电容面积为  $100\mu\text{m} \times 100\mu\text{m}$ ,累积失效概率为 50% 时,两类样品的  $Q_{\text{bd}}$  分别为  $2.7\text{C}/\text{cm}^2$  和  $4.7\text{C}/\text{cm}^2$ ,表明栅介质越薄越容易发生软击穿,这是因为越薄的栅介质对微缺陷越敏感,发生软击穿所要达到的临界电子陷阱数目越少<sup>[5]</sup>.

### 3.3 硼扩散对 $\text{SiO}_2$ 栅介质性能的影响

对  $p^+$  polySi/  $\text{SiO}_2$ / N 型 Si 结构的 MOS 电容样品在正栅压的条件下进行  $I-V$  特性和恒流应力下  $V-t$  特性的测量,计算出

相对应的击穿场强和击穿电荷.累积失效概率为 50% 时,34A  $p^+$  栅样品的击穿场强为  $16.1\text{MV}/\text{cm}$ ;44A  $p^+$  栅样品的软击穿电荷为  $3.5\text{C}/\text{cm}^2$ .在栅介质厚度相同的情况下, $P^+$  栅样品的击穿场强和软击穿电荷都低于  $N^+$  栅样品,这是由  $P^+$  多晶硅栅中的硼在  $\text{SiO}_2$  栅介质中的扩散引起的.硼的扩散在  $\text{SiO}_2$  内引入大量电子俘获陷阱,并增强了  $FN$  应力下空穴俘获以及界面态和电子俘获陷阱的产生,因此使  $\text{SiO}_2$  栅介质的性能降低.但是深亚微米的 CMOS 工艺中,要采用  $P^+$  栅的 PMOS 晶体管,因为  $P^+$  栅可以将 PMOS 晶体管转化为表面沟道器件,抑制短沟道效应,使器件具有好的开关特性.所以研究制备超薄栅介质,必须使其具有优良的抗硼扩散能力,这也是我们今后研究工作的重点之一.

## 4 总结

在 775 温度条件下,采用氮气稀释氧化制备出 3.4nm 超薄  $\text{SiO}_2$  栅介质,并得到相应的 MOS 电容.测试了面积为  $300\mu\text{m} \times 100\mu\text{m}$  的 MOS 电容的  $I-V$  特性,得到栅介质的平均击穿场强为  $16.7\text{MV}/\text{cm}$ ,说明所制备的 3.4nm  $\text{SiO}_2$  栅介质具有较好的耐压特性.在恒流应力下,栅介质发生软击穿,栅介质越薄,软击穿越易发生.测试电容面积为  $100\mu\text{m} \times 100\mu\text{m}$ ,所加恒流应力为  $0.05\text{A}/\text{cm}^2$  时,测得 3.4nm 和 4.4nm 栅介质的软击穿电荷分别为  $2.7\text{C}/\text{cm}^2$  和  $4.7\text{C}/\text{cm}^2$ .由于硼在  $\text{SiO}_2$  栅介质中的扩散,栅介质厚度相同时, $P^+$  栅样品的击穿场强和软击穿电荷都低于  $N^+$  栅样品.

### 参考文献:

- [1] Mahesh S. Krishnan, et al. MOSFETs with 9 to 13A thick gate oxides [A]. IEDM Tech. Dig. [C], 1999: 241 - 244.
- [2] 徐秋霞,等.氮注入硅衬底生长 3nm 栅氧化膜特性及其器件性能 [A]. 第十一届全国半导体集成电路硅材料学术会议论文集 [C], 1999: 240 - 243.
- [3] Michel Depas, et al. Soft breakdown of ultra-thin gate oxide layers [J]. IEEE Trans. Electron Devices, 1996, 43(9): 1499 - 1504.
- [4] B E Weir, et al. Ultra-thin gate dielectrics: they breakdown, but do they fail [A]? IEDM Tech. Dig. [C], 1997: 73 - 76.
- [5] R Degraeve, et al. A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides [A]. Proc. of IEDM [C], Washington, 1995: 863 - 866.

### 作者简介:



许晓燕 女. 1976 年生于河南省洛阳市. 1996 年、1999 年分别获北京化工大学学士、硕士学位. 现在北京大学微电子学研究所工作,主要从事半导体新工艺的研究与开发.

谭静荣 女. 1976 年生于湖北. 1999 年获华中理工大学学士学位,现在北京大学微电子学与固体电子学专业攻读硕士学位,目前从事超薄栅介质的制备与研究.